

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-053440

(43)Date of publication of application : 01.03.1989

(51)Int.Cl.

H01L 23/52  
H01L 25/08  
H01L 27/00

(21)Application number : 62-209317

(71)Applicant : HITACHI LTD

(22)Date of filing : 25.08.1987

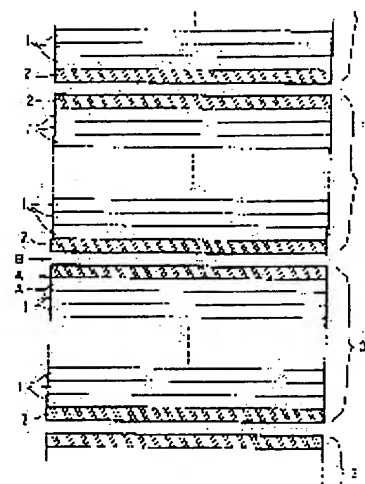
(72)Inventor : YASUNAGA MORITOSHI  
YAMADA MINORU  
MIZUSHI KENICHI

## (54) THREE-DIMENSIONAL SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

## (57)Abstract:

PURPOSE: To reduce time for inserting and pulling-out a chip at the time of maintenance and exchange accompanying an increase in the number of sheets of longitudinally stacked chips by a method wherein connection chips provided with a connector, which is easily detachable and is electrically connected, are provided.

CONSTITUTION: A plurality of sheets of chips or wafers 1 are stacked longitudinally to each other, are connected electrically to each other at surfaces A and moreover, are fixed mechanically to each other. Chip groups 3, each consisting of a plurality of sheets of the chips, are connected to each other at surfaces B through connection chips 2 having a connector, which is an easily detachable electrical connecting means. For example, in the case where 100 sheets of the chips 1 are stacked longitudinally, if 20 sheets of the chips 1 are collected into one chip group 3, the total is constituted of 5 maintenance and exchange units and the time needed for maintenance and exchange can be reduced. The connector structures appear only at 4 places among 100 sheets if the chips 1 and the effect to inflict on the high-speed operating efficiency of a whole device is little.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(J P)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-53440

⑬ Int. Cl.<sup>4</sup>

H 01 L 23/52  
25/08  
27/00

識別記号

3 0 1

庁内整理番号

B-8728-5F  
B-7638-5F  
B-8122-5F

⑭ 公開 昭和64年(1989)3月1日

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 3次元半導体集積回路装置

⑯ 特 願 昭62-209317

⑰ 出 願 昭62(1987)8月25日

⑱ 発 明 者 安 永 守 利 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 山 田 稔 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 発 明 者 水 石 賢 一 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 中村 純之助

明 細 書

1. 発明の名称

3次元半導体集積回路装置

2. 特許請求の範囲

1. 複数の半導体集積回路チップもしくはウェハが、互いに縦積みされ、互いに固着され、かつ、互いに電気的に接続されて半導体集積回路チップ群およびウェハ群が構成され、かつ、複数の上記半導体集積回路チップ群もしくはウェハ群が、互いに縦積みされ、互いに脱着容易に機械的に接続され、かつ、互いに電気的に接続されて構成されていることを特徴とする3次元半導体集積回路装置。

2. 上記複数の半導体集積回路チップもしくはウェハの表裏面に、電気的相互接続用の電極パッドが形成されていることを特徴とする特許請求の範囲第1項記載の3次元半導体集積回路装置。

3. 上記半導体集積回路チップもしくはウェハの上記電極パッドどうしが、該半導体集積回路チ

ップもしくはウェハ内を貫通する配線により電気的に接続されていることを特徴とする特許請求の範囲第2項記載の3次元半導体集積回路装置。

4. 上記半導体集積回路チップもしくはウェハの上記電極パッドどうしが、該半導体集積回路チップもしくはウェハの側面に形成された配線により電気的に接続されていることを特徴とする特許請求の範囲第2項記載の3次元半導体集積回路装置。

5. 上記半導体集積回路チップ群もしくはウェハ群を電気的に接続する手段が、該各半導体集積回路チップ群もしくはウェハ群の互いに対抗する面に設けられた電極および両者の電極の間に設けられた誘電体層により形成されるキャパシタにより構成されていることを特徴とする特許請求の範囲第1項記載の3次元半導体集積回路装置。

6. 上記半導体集積回路チップ群もしくはウェハ群を電気的に接続する手段が、該各半導体集積

回路チップ群もしくはウェハ群の互いに対抗する面に設けられた発光素子および受光素子により構成されていることを特徴とする特許請求の範囲第1項記載の3次元半導体集積回路装置。

7. 上記半導体集積回路チップもしくはウェハの回路素子が形成された面と反対の面に冷媒循環用の溝が形成されていることを特徴とする特許請求の範囲第1項記載の3次元半導体集積回路装置。

8. 上記冷媒循環用の溝が形成された上記半導体集積回路チップもしくはウェハの面どうしが向かい合い、各面に形成された上記各溝により1条の溝が合体構成されていることを特徴とする特許請求の範囲第7項記載の3次元半導体集積回路装置。

9. 上記半導体集積回路ウェハが、複数個の半導体集積回路チップと、該チップを搭載するチップキャリアから成ることを特徴とする特許請求の範囲第1項記載の3次元半導体集積回路装置。

### 3. 発明の詳細な説明

上になると、以下に述べるような不都合が生じた。すなわち、縦方向にはんだ等により電気的、かつ、機械的に固着接続された数十枚ものチップあるいはウェハの中から、保守、交換のため、任意の位置にあるチップもしくはウェハを挿抜する作業には多大な時間を要するという問題である。さらに、保守、交換後の縦積み実装の組み立てにおいても、数十枚ものチップもしくはウェハ間の位置合せを全て一度に、かつ、正確に行うためには多大な時間を要する。このように、上記従来技術の縦積み実装構造では、保守、交換の点において、配慮がされてなかった。

一方、上記チップもしくはウェハ相互の電気的接続方法として、例えば特開昭56-2662号公報に知られるような静電容量を利用した手段が提案されている。この方法では、チップもしくはウェハの互いに対抗する面に設けられた電極および両者の電極の間に設けられた誘電体層により形成されるキャパシタにより、該チップもしくはウェハが電気的に接続されている。

〔産業上の利用分野〕

本発明は、半導体集積回路チップ（以下チップと記述する）もしくは半導体集積回路ウェハ（以下ウェハと記述する）の3次元実装構造を有する半導体集積回路装置に関する。

〔従来技術〕

従来、半導体集積回路が形成されたチップもしくはウェハを複数枚縦積みした、すなわち、3次元縦積み実装構造の半導体集積回路装置として、例えば特開昭56-55067号公報が知られている。この装置では、複数枚のチップもしくはウェハが、縦方向に全て同じ構造ではんだ等により電気的、かつ、機械的に固着接続されている。この実装構造によれば、従来から周知のチップもしくはウェハを配線基板上に平面配置した実装構造に比べ、縦方向に、しかも集積回路どうしを緊密に実装できるので、高密度実装に有効であった。

〔発明が解決しようとする問題点〕

しかし、上記従来技術では、縦積みするチップもしくはウェハの枚数が増加し、例えば数十枚以

また、別の電気的接続方法として、特開昭58-93267号公報に知られるような光—電気信号変換素子を用いた方法が提案されている。この方法では、各チップもしくはウェハの互いに対抗する面に設けられた発光素子および受光素子により、該チップもしくはウェハが電気的に接続されている。

これらの非接触構造による電気的接続手段により上述したチップもしくはウェハの挿抜作業時間を短縮することができる。しかし、このような構造により複数枚のチップもしくはウェハを3次元実装した場合には、回路動作時に電気信号が各チップもしくはウェハを通過するたびに静電容量を充放電するための時間遅れ、あるいは光—電気信号変換のための時間遅れが生じ、装置全体の高速動作の妨げとなるという問題が生じる。

本発明の目的は、縦積みされたチップもしくはウェハ枚数の増加に伴う上述した従来の問題点を解決し、保守、交換が容易で、また、チップもしくはウェハ枚数を増加させても、回路動作の時間

遅れを低減できる3次元半導体集積回路装置を提供することにある。

〔問題点を解決するための手段〕

上記目的を達成するため、本発明の3次元半導体集積回路装置は、複数個のチップもしくはウェハが、互いに縦積みされ、互いに固着され、かつ、互いに電気的に接続されてチップ群およびウェハ群が構成され、かつ、これらのチップ群もしくはウェハ群が複数個、互いに縦積みされ、互いに脱着容易に機械的に接続され、かつ、互いに電気的に接続されて構成されていることを要旨とする。

第1図は、本発明の3次元半導体集積回路装置の基本構造の一例を示す概略図である。図において、1はチップもしくはウェハである。複数枚のチップもしくはウェハ1は、互いに縦積みされ、A面において互いに電気的に接続され、かつ、互いに機械的に固着されている。3は上記固着された複数枚のチップもしくはウェハ1の集合体であるチップ群もしくはウェハ群である。2はチップ群もしくはウェハ群3どうしを容易に脱着可能に、

電気的に接続させるコネクタ（ここでは、図示せず）を具備したコネクションチップもしくはコネクションウェハである。すなわち、本発明による3次元実装構造では、A面において互いに電気的に接続され、かつ、機械的には互いに固着接続された複数枚のチップもしくはウェハ1から成るチップ群もしくはウェハ群3が、B面において互いに脱着容易な電気的接続手段であるコネクタを有するコネクションチップもしくはコネクションウェハ2を介し、かつ、例えば嵌合等の脱着容易な機械的接続手段（図示せず）により接続されていることを特徴とする。このようにして構成された縦積み構造においては、保守、交換の単位はチップ群もしくはウェハ群3になる。

〔作用〕

このような構造により、総数例えば100枚のチップもしくはウェハ1を縦積みする場合、20枚のチップもしくはウェハ1をチップ群もしくはウェハ群3にまとめれば、全体を5つの保守、交換単位から構成することが可能となる。

これにより、保守、交換に必要とされる時間は大幅に短縮できる。さらに、コネクションチップもしくはコネクションウェハ2の構造を上述した静電容量、もしくは光-電気信号変換を用いたコネクタ構造としても、100枚のチップもしくはウェハ1のうち高々4箇所のにみに上記コネクタ構造が現れるだけであり、上述した充放電による時間遅れ、もしくは光-電気信号変換による時間遅れは、装置全体の高速動作性能に与える影響は小さい。

〔実施例〕

以下、本発明の実施例を図に従って詳細に説明する。

実施例 1

第2図は、チップもしくはウェハ1どうしの機械的および電気的接続構造に関する一つの実施例の断面図である。4は半導体集積回路の回路素子領域、6はチップもしくはウェハ1の表裏面に形成された電極パッド、9はチップもしくはウェハ1に貫通形成された貫通孔、5はチップもしくは

ウェハ1の電極パッド6どうしを電気的に相互接続するために貫通孔9内に充填された貫通配線、7は異なるチップもしくはウェハ1の電極パッド6どうしを電気的に相互接続するための例えば、スズ-鉛半田等から成る金属接続材、8はチップもしくはウェハ1どうしを機械的に相互に固着接続するための接着剤層である。

チップもしくはウェハ1の寸法は、例えば $1 \times 1 \sim 10 \times 10 \text{ cm}^2$ である。チップもしくはウェハ1の材料は、例えばシリコンである。貫通配線5用の貫通孔9は直径約 $250 \mu\text{m}$ で、周知の技術、例えばレーザビームを用いた異方性エッチング法や、電子ビーム照射法によって形成される。電極パッド6の金属材料、および貫通孔9内に充填される貫通配線5の金属材料としては例えばアルミニウム、金等が挙げられる。なお、貫通孔9の内表面等には酸化膜等の絶縁膜が形成されており、チップもしくはウェハ1の母材となるシリコンと、貫通配線5との間の絶縁を保っている。

第3図は、第2図に示した第1の実施例の半導

体集積回路装置の平面図である。電極パッド6と回路素子領域4、あるいは電極パッド6どうしは配線10により電氣的に接続されている。配線10は、数 $\mu$ ～数10 $\mu$ 幅の印刷配線で、例えばアルミニウムから成る。

#### 実施例 2

第4図は、チップもしくはウェハ1どうしの機械的な固着接続構造に関する別の実施例の断面図である。基本的構造は第2図で説明した実施例と同じであるが、チップもしくはウェハ1どうしの固着接続構造が異なる。本実施例では、上記実施例のように接着剤は用いず、接合面11においてチップもしくはウェハ1どうしが固着接続されている。その固着方法としては、例えば熱処理による拡散結合が挙げられる。

この接合方法によれば、回路素子領域4を気密封止することができるので、高い信頼性が得られる。

#### 実施例 3

第5図は、チップもしくはウェハ1の表裏面に

領域4の冷却用の冷媒流路を設けた構造の実施例の断面図である。チップもしくはウェハ1どうしの固着接続構造は第2図および第5図に示した実施例と同様に接着剤を用いており、また、電極パッド6どうしを接続する手段としては、第2図および第4図の実施例と同様に、チップもしくはウェハ1に貫通形成した貫通配線5を用いている。本実施例を特徴付ける12は、回路素子領域4が形成された面と反対の表面に溝を形成したチップもしくはウェハ1どうしを向い合わせて面13において接合することにより合体構成された冷媒流路である。面13における接合には、例えば上述した拡散接合等が用いられる。なお、冷媒としては、水等を用いる。

集積回路として高速なバイポーラ型等を用いた場合は、動作時に多量の熱が発散されるので、冷媒流路12を流れる冷媒により集積回路を冷却でき、特に、本発明のようにチップもしくはウェハ1を多数枚積み重ねる場合に有効である。

#### 実施例 5

形成された電極パッド6どうしの電氣的接続構造に関する別の実施例の断面図である。第2図、第4図に示した実施例においては、表裏面の電極パッド6どうしをチップもしくはウェハ1を貫通する貫通配線5を用いて接続したが、本実施例ではチップもしくはウェハ1の側面に形成された配線20を用いる。配線20としては、第3図で説明した配線10と同様のアルミニウム等の印刷配線を用いる。なお、チップもしくはウェハ1どうしの機械的な固着接続方法としては、第2図の実施例と同じく接着剤を用いている。

本実施例では、第2図、第3図で説明した貫通配線5を用いる方式に比べ電極パッド6どうしを結ぶ配線長さが長くなるため、信号伝達時間が長くなるという欠点がある。しかし、その反面、チップもしくはウェハ1に貫通孔9を開ける工程が省略されるため、製造時間を短縮できる利点がある。

#### 実施例 4

第6図は、チップもしくはウェハ1に回路素子

第7図は、チップもしくはウェハ1をいわゆるマルチチップモジュール化した実施例の断面図である。104は配線基板（チップキャリア）、103は封止キャップ、102はボード、50は小規模集積回路チップ、51は熱伝導グリース、52は半田バンプ、53は貫通配線、54は貫通配線53どうしを接続する配線、14、15は接合面である。ウェハ1どうしを固着接続する方法は、第2図で説明した実施例と同様に接着剤である。

本実施例では、ウェハ1内には比較的小規模な半導体集積回路チップ50が形成されている。チップ50は、半田バンプ52により配線基板104に接続されている。CCB（コントロールド コラプス ボンディング）バンプ52と電極パッド6は、配線基板104中に形成された貫通配線53と表面配線54によって電氣的に接続されている。封止キャップ103は、接合面15においてチップキャリア104と接合されている。ボード102は、封止キャップ103と組み合せることにより上述の実施例と同様に冷媒流路12を形成し、封止キャップ103と接合面14に

において接合されている。ボード102、封止キャップ103、チップキャリア104は、例えばシリコンから成り、相互の接合には上述した拡散接合等が用いられる。チップ50で発生した熱は、熱伝導率の高いグリース51を伝わって冷媒流路12内を循環する冷媒により放散される。

#### 実施例 6

第8図は、チップ群もしくはウェハ群3どうしを電気的に接続するための一実施例を示す断面図である。2はコネクショントップもしくはコネクシオンウェハである。コネクショントップもしくはコネクシオンウェハ2と、チップもしくはウェハ1は、第2図もしくは第4図の実施例で示した構造と同様の構造で固着接続されている。30はコネクショントップもしくはコネクシオンウェハ2に形成された回路素子領域、32は回路素子領域30と貫通配線5をつなぐ配線である。31は例えば静電容量結合用の電極、あるいは光-電気信号変換回路用の発光、受光素子である（この場合、発光素子と受光素子は互いに向かい合うように配置さ

れる）。チップ群もしくはウェハ群3の中の電気信号は、上記電気接続手段31を介して他のチップ群もしくはウェハ群3に非接触で、すなわち間隙Cを有したまま伝えられる。間隙Cの部分、すなわち、対向する電気接続手段31の間には、誘電体層あるいは絶縁層を設けることも可能である。もちろん、このコネクション部に、従来より周知の機械的、あるいは低融点金属を利用した低押抜き電気コネクタを用いてもよい。

#### 実施例 7

第9図は、チップ群もしくはウェハ群3がコネクショントップもしくはコネクシオンウェハ2を介して縦積みされた一実施例を示す全体斜視図である。

#### 実施例 8

第10図は、チップ群もしくはウェハ群3どうしを機械的に容易に脱着可能に接続する手段の一実施例を示す断面図である。16は当該3次元半導体集積回路装置を保持するためのケーシング、17はこのケーシング16と一体形成されたリブであり、

これらのリブ17上に各チップ群もしくはウェハ群3が載置・保持されており、これにより保守、交換時、各チップ群もしくはウェハ群3は、容易に脱着可能である。

以上本発明の実施例について説明したが、本発明は、上記実施例に限定されず、本発明の概念の範囲内において、様々な変形、改良があり得ることは言うまでもない。

#### 〔発明の効果〕

以上説明したように、本発明によれば、保守、交換時の、任意のチップもしくはウェハを挿抜するのに要する時間を減少でき、かつ、電気的接続手段に起因する回路動作の時間遅れを低減できるので、半導体集積回路装置の高速性を損なうことなく、保守、交換性の優れた半導体集積回路チップもしくはウェハの3次元実装が実現でき、半導体集積回路の高密度実装に効果がある。

#### 4. 図面の簡単な説明

第1図は、本発明の概念を説明するための概略図、第2図から第7図は、それぞれ本発明におけ

るチップもしくはウェハの機械的および電気的接続構造の様々な実施例を説明するための断面図もしくは平面図、第8図は、チップ群もしくはウェハ群を電気的に接続する一実施例を説明するための断面図、第9図は、本発明による3次元実装の全体斜視図、第10図は、チップ群もしくはウェハ群を機械的に接続する一実施例を説明するための断面図である。

1…チップもしくはウェハ

2…コネクショントップもしくはコネクシオンウェハ

3…チップ群もしくはウェハ群

4、30…回路素子領域

5、53…貫通配線

6…電極パッド

7、52…半田バンプ

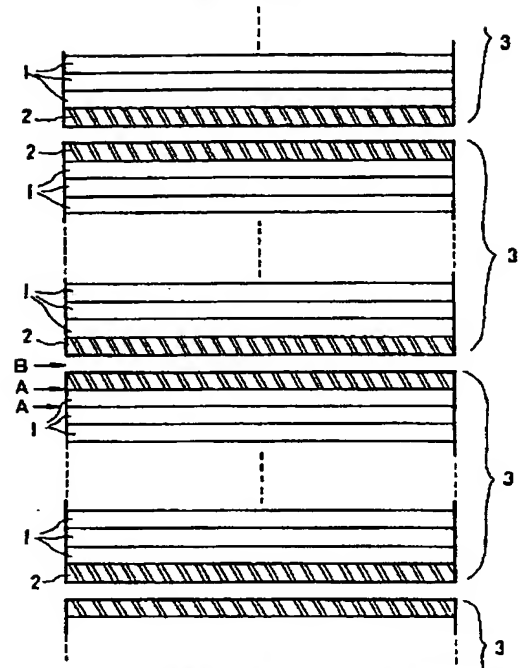
8…接着剤層

9…貫通孔

10、32…配線

11、13、14…接合面

第 1 図

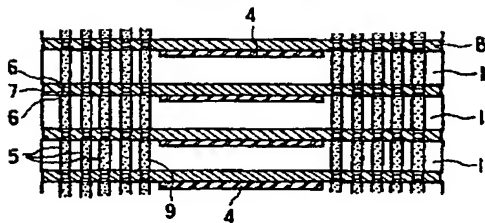


1—半導体集積回路チップもしくは半導体集積回路形成領域  
2—コネクタチップもしくはコネクタ領域  
3—半導体集積回路チップ部もしくは半導体集積回路領域

- 12…冷媒流路
- 16…ケーシング
- 17…リブ
- 20…側面配線
- 31…静電容量用電極もしくは発光・受光素子
- 50…小規模集積回路チップ
- 51…熱伝導グリース
- 54…表面配線
- 102…ボード
- 103…封止キャップ
- 104…配線基板(チップキャリア)

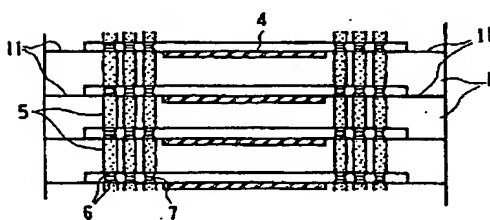
代理人弁理士 中 村 純 之 助

第 2 図



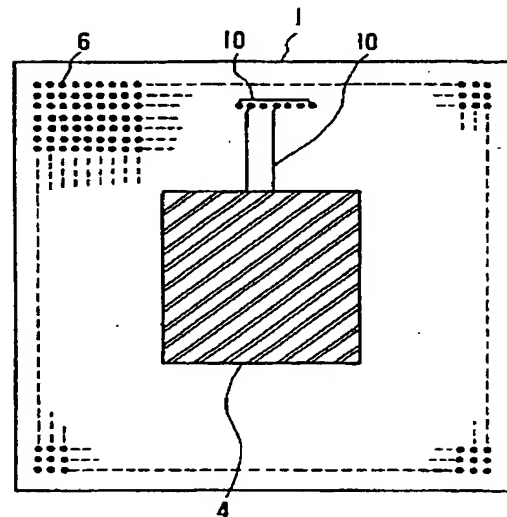
- 4…回路素子領域
- 5…貫通配線
- 6…電極パッド
- 7…半田パンプ
- 8…接着剤層
- 9…貫通文

第 4 図



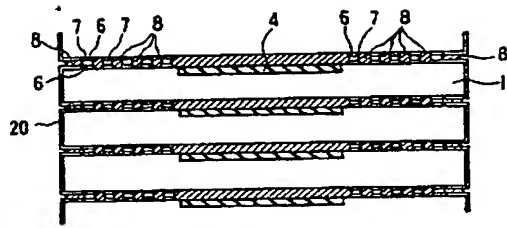
11…接合面

第 3 図



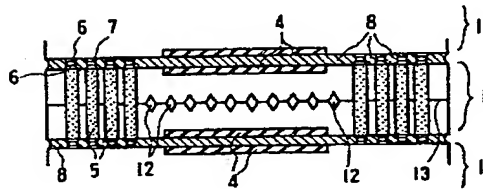
10…配線

第 5 図



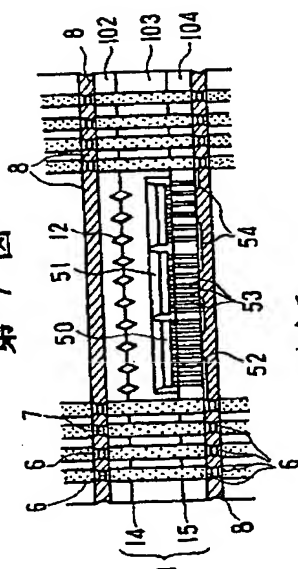
20—側面配線

第 6 図



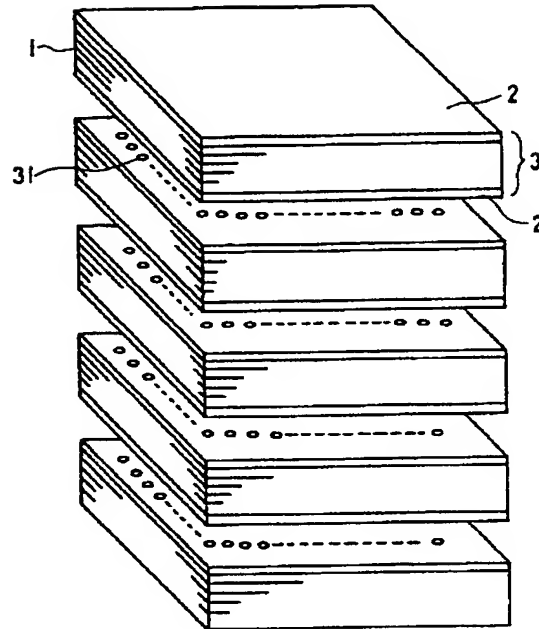
12—芯線通路  
13—接合面

第 7 図

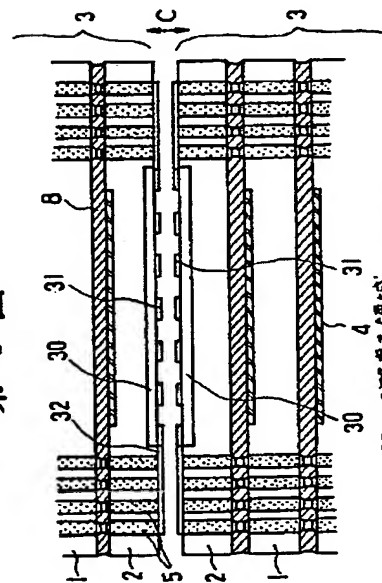


14—接合面  
15—接合面  
50—小規模集積回路チップ  
51—銅箔導クリース  
52—半田パッド  
53—貫通配線  
54—表面配線  
102—スト  
103—封止キャップ  
104—配線基板

第 9 図



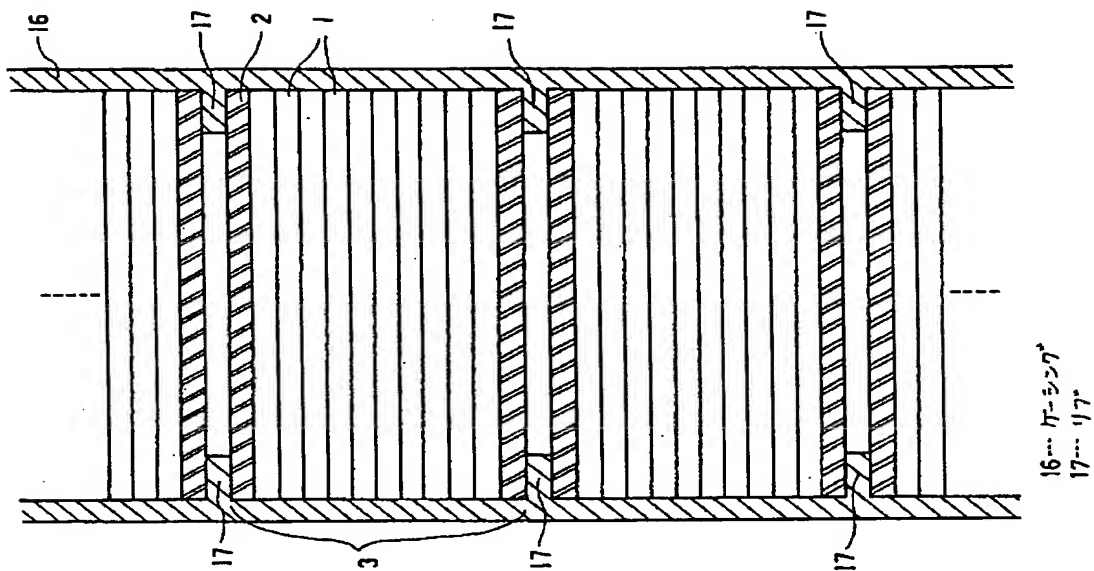
第 8 図



30—回路素子層成  
31—銅箔導クリース  
32—配線



第 10 図



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成7年(1995)5月2日

【公開番号】特開平1-53440

【公開日】平成1年(1989)3月1日

【年通号数】公開特許公報1-535

【出願番号】特願昭62-209317

【国際特許分類第6版】

H01L 27/00 301 B 8418-4M

25/065

25/07

25/18

【F I】

H01L 25/08 B 7220-4M

# 手 続 補 正 書

平成 6 年 8 月 1 日

特許庁長官 殿

1. 事件の表示 昭和62年特許願第209317号

2. 発明の名称 3次元半導体集積回路装置

3. 補正をする者

事件との関係 特許出願人

名 称 (510)株式会社 日立製作所

4. 代 理 人

住 所 (〒100)東京都千代田区丸の内一丁目5番1号  
新丸ノ内ビルディング3階44区(電話3214-0502)

氏 名 (6835) 弁護士 中 村 純 之 助

5. 補正の対象 明細書の特許請求の範囲。

6. 補正の内容 明細書の特許請求の範囲を添付別紙のとおり補正する。

## 別 紙

### 特許請求の範囲

1. 複数の半導体集積回路チップもしくはウェハが、互いに縦積みされ、互いに固着され、かつ、互いに電気的に接続されて半導体集積回路チップ群もしくはウェハ群が構成され、かつ、複数の上記半導体集積回路チップ群もしくはウェハ群が、互いに縦積みされ、互いに脱着容易に機械的に接続され、かつ、互いに電気的に接続されて構成されていることを特徴とする3次元半導体集積回路装置。

2. 上記複数の半導体集積回路チップもしくはウェハの表裏面に、電気的相互接続用の電極パッドが形成されていることを特徴とする特許請求の範囲第1項記載の3次元半導体集積回路装置。

3. 上記半導体集積回路チップもしくはウェハの上記電極パッドどうしが、該半導体集積回路チップもしくはウェハ内を貫通する配線により電気的に接続されていることを特徴とする特許請求の範囲第2項記載の3次元半導体集積回路装置。

4. 上記半導体集積回路チップもしくはウェハの上記電極パッドどうしが、該半導体集積回路チップもしくはウェハの側面に形成された配線により電気的に接続されていることを特徴とする特許請求の範囲第2項記載の3次元半導体集積回路装置。

5. 上記半導体集積回路チップ群もしくはウェハ群を電気的に接続する手段が、該各半導体集積回路チップ群もしくはウェハ群の互いに対向する面に設けられた電極および両者の電極の間に設けられた誘電体層により形成されるキャパシタにより構成されていることを特徴とする特許請求の範囲第1項記載の3次元半導体集積回路装置。

6. 上記半導体集積回路チップ群もしくはウェハ群を電気的に接続する手段が、該各半導体集積回路チップ群もしくはウェハ群の互いに対向する面に設けられた発光素子および受光素子により構成されていることを特徴とする特許請求の範囲第1項記載の3次元半導体集積回路装置。

7. 上記半導体集積回路チップもしくはウェハの両素子が形成された面と反対の面に冷却散熱用の溝が形成されていることを特徴とする特許請求の範囲第1

項記載の3次元半導体集積回路装置。

8. 上記半導体集積回路の構造が形成された上記半導体集積回路チップもしくはウェハの面どうしが向かい合い、各面に形成された上記各層により1条の溝が全体構成されていることを特徴とする特許請求の範囲第7項記載の3次元半導体集積回路装置。

9. 上記半導体集積回路ウェハが、複数の半導体集積回路チップと、該チップを搭載するチップキャリアから成ることを特徴とする特許請求の範囲第1項記載の3次元半導体集積回路装置。

10. 上記半導体集積回路チップもしくはウェハを構成する基板がシリコン基板であることを特徴とする特許請求の範囲第1項記載の3次元半導体集積回路装置。